

(1 9) 大韓民国特許庁 (K R)

(1 2) 公開特許公報 (A)

(51) Int. Cl. ⁷	(11) 公開番号	特2001-0060530
H01L 21/306	(43) 公開日	2001年 7月 7日
(21) 出願番号	10-1999-0062927	
(22) 出願日	1999年 12月 27日	
(71) 出願人	株式会社ハイニックス半導体	

審査請求 無

(54) 半導体素子のポリシリコン層エッチング方法

要約

本発明は半導体素子のポリシリコン層エッチング方法に関するもので、半導体素子の電極で使用するために、ポリシリコン層をエッチングする際、フィロド酸化膜の周辺のように段差になった部分や隙間のある部分にポリシリコン残渣などが発生されることを防止するために、ポリシリコン層が形成された半導体基板をエッチングチェンバーにローディングした後、チェンバー内部圧力を30mTと維持して、300Wの電力と50Gの磁気場を印加した状態でCF₄ガス、NF₃ガス及びArガスをチェンバー内に流入させてポリシリコン層をエッチングする方法に関して記載される。本発明はポリシリコンエッチングレシピを変更して、ポリシリコン層をエッチングするため、ポリシリコン残渣の無いポリシリコン層パターンを得ることができ、ポリシリコン残渣による素子不良が防止され、素子の歩留まり及び信頼性を向上することができる。

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
H01L 21/306

(11) 공개번호 특2001-0060530
(43) 공개일자 2001년07월07일

(21) 출원번호	10-1999-0062927
(22) 출원일자	1999년12월27일
(71) 출원인	주식회사 하이닉스반도체 박종섭 경기 이천시 부발읍 마미리 산136-1
(72) 발명자	김태규 경기도이천시부발읍응암리이화APT101-1409 최중운 경기도성남시중원구은행1동현대APT112-1103 이영복 경기도이천시부발읍응암리97이화APT103-1407 조수민 서울특별시종로구팔판동115-20 최승만, 신영우
(74) 대리인	

심사청구 : 있음

(54) 반도체 소자의 폴리실리콘층 식각방법

요약

본 발명은 반도체 소자의 폴리실리콘층 식각 방법에 관한 것으로, 반도체 소자의 전극으로 사용하기 위해 폴리실리콘층을 식각할 때, 필드 산화막의 주변과 같이 단차진 부분이나 흠이 있는 부분에 폴리실리콘 잔류물이 발생되는 것을 방지하기 위하여, 폴리실리콘층이 형성된 반도체 기판을 식각 챔버에 로딩한 후, 챔버 내부 압력을 30mT로 유지하고, 300W의 전력과 50G의 자기장을 인가한 상태에서 CF₄ 가스, NF₃ 가스 및 Ar 가스를 챔버 내로 유입시켜 폴리실리콘층을 식각하는 방법에 관하여 기재된다. 본 발명은 폴리실리콘층 식각 레시퍼를 변경하여 폴리실리콘층을 식각하므로, 폴리실리콘 잔류물이 없는 폴리실리콘층 패턴을 얻을 수 있어, 폴리실리콘 잔류물로 인한 소자 불량미 방지되어 소자의 수율 및 신뢰성을 향상시킬 수 있다.

도면

도3

식각액

폴리실리콘층 식각, 폴리실리콘 잔류물, 폴리실리콘 식각 레시퍼

영세서

도면의 간단한 설명

도 1a 내지 도 1c는 종래 반도체 소자의 폴리실리콘층 식각 방법을 설명하기 위한 소자의 단면도.
도 2는 종래 폴리실리콘 식각 레시퍼로 폴리실리콘층을 식각한 후의 필드 산화막 주변 영역의 평면 SEM 사진.
도 3a 및 도 3b는 본 발명에 따른 반도체 소자의 폴리실리콘층 식각 방법을 설명하기 위한 소자의 단면도.
도 4는 본 발명의 폴리실리콘 식각 레시퍼로 폴리실리콘층을 식각한 후의 필드 산화막 주변 영역의 평면 SEM 사진.

<도면의 주요 부분에 대한 부호 설명>

- 11, 21: 반도체 기판 12, 22: 필드 산화막
13, 23: 산화막 14, 24: 폴리실리콘층
14a, 24a: 폴리실리콘층 패턴 140: 폴리실리콘 잔류물
15, 25: 포토레지스트 패턴

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 소자의 폴리실리콘층 식각 방법에 관한 것으로, 반도체 소자의 전극으로 사용하기 위해 폴리실리콘층을 식각할 때, 필드 산화막의 주변과 같이 단차진 부분이나 틈이 있는 부분에 폴리실리콘 잔류물이 발생되는 것을 방지할 수 있는 반도체 소자의 폴리실리콘층 식각 방법에 관한 것이다.

일반적으로, 노트북 카드(note book card), 디지털 카메라(digital cammera), 셀룰러 폰(cellular phone), 네트워크 카드(network card), 컴퓨터(computer) 등의 BIOS칩 등을 제조하기 위한 디램(DRAM), 플래쉬 메모리(flash memory) 등과 같은 반도체 소자를 제조할 때, 전극 재료로 폴리실리콘이 널리 사용되고 있으며, 전극을 형성하기 위한 폴리실리콘층의 식각 공정이 필수적이다.

도 1a 내지 도 1c는 종래 반도체 소자의 폴리실리콘층 식각 방법을 설명하기 위한 소자의 단면도이다.

도 1a를 참조하면, 반도체 기판(11)상에 필드 산화막(12)을 형성하여 액티브 영역(active region)을 정의(define)한다. 게이트 산화막 등으로 사용되는 산화막(13)을 형성한 후, 필드 산화막(12)을 포함한 전체 구조상에 폴리실리콘층(14)을 형성한다. 반도체 소자의 전극을 형성하기 위하여, 폴리실리콘층(14)상에 포토레지스트 패턴(15)을 형성한다. 포토레지스트 패턴(15)을 식각 마스크로 한 식각 공정을 실시하는데, 먼저 폴리실리콘층(14) 표면에 생성된 자연 산화막등을 제거하기 위한 블릭 스루(Bleak Through; B.T) 공정을 실시한다.

상기에서, 블릭 스루 공정은 식각 챔버 내의 압력을 5mTorr로 유지하고, 최고 전력(top power)을 300W로 인가하며, 최저 전력(bottom power)을 110W로 인가하고, C₂F₆ 가스를 80sccm으로 공급하며, 웨이퍼 냉각시 공기 압력을 10Torr로 유지하고, 웨이퍼의 온도를 -10℃로 유지하여 1초 동안 실시한다.

도 1b를 참조하면, 블릭 스루 공정 후에 주 식각(Main Etch; M.E) 공정을 실시하여 폴리실리콘층(14)의 노출된 부분을 대부분 식각한다.

상기에서, 주 식각 공정은 식각 챔버 내의 압력을 5mTorr로 유지하고, 최고 전력을 380W로 인가하며, 최저 전력을 130W로 인가하고, Cl₂ 가스를 70sccm으로 공급하며, HBr 가스를 30sccm으로 공급하고, 웨이퍼 냉각시 공기 압력을 10Torr로 유지하고, 웨이퍼의 온도를 -10℃로 유지하여 11초 동안 실시한다.

도 1c를 참조하면, 주 식각 공정 후에 과도 식각(Over Etch; O.E) 공정을 실시하여 잔류하는 폴리실리콘층(14)을 제거하고, 이로 인하여 폴리실리콘층 패턴(14a)이 형성된다.

상기에서, 과도 식각 공정은 식각 챔버 내의 압력을 3mTorr로 유지하고, 최고 전력을 300W로 인가하며, 최저 전력을 45W로 인가하고, Cl₂ 가스를 20sccm으로 공급하며, O₂ 가스를 9sccm으로 공급하고, 웨이퍼 냉각시 공기 압력을 10Torr로 유지하고, 웨이퍼의 온도를 30℃로 유지하여 15초 동안 실시한다.

상기한 바와 같이, 종래 폴리실리콘 식각 레시피를 적용하여 폴리실리콘층 패턴(14a)을 형성할 경우, 과도 식각 공정 후에도 필드 산화막(12)의 주변과 같이 단차진 부분이나 틈이 있는 부분에 폴리실리콘 잔류물(140)이 발생된다. 이와 같은 현상은 종래 폴리실리콘 식각 레시피로 폴리실리콘층을 식각한 후의 필드 산화막 주변 영역의 평면 형(SFM) 사진을 나타낸 도 2에 잘 나타나 있다. 폴리실리콘 잔류물(140)은 후속 공정시 파티클(particle)로 작용하여 소자 불량률 유발시킬 뿐만 아니라, 필드 산화막(12) 주변을 따라 폴리실리콘 잔류물(140)이 잔류하게 되면, 이웃한 폴리실리콘층 패턴(14a)간의 단선(short)을 초래하게 되는 등 소자의 수율 및 신뢰성이 저하되는 문제가 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 폴리실리콘 식각 레시피를 개선하여 폴리실리콘층 식각 후에도 폴리실리콘 잔류물이 존재하지 않도록 하여 소자의 수율 및 신뢰성을 향상시킬 수 있는 반도체 소자의 폴리실리콘층 식각 방법을 제공하는데 그 목적이 있다.

이러한 목적을 달성하기 위한 본 발명에 따른 반도체 소자의 폴리실리콘층 식각 방법은 폴리실리콘층이 형성된 반도체 기판을 식각 챔버에 로딩하는 단계; 상기 식각 챔버 내의 압력 및 전력을 일정한 상태로 유지시키면서 자기장을 인가한 상태에서, 식각 소오스 가스를 공급하여 폴리실리콘층을 식각하는 단계; 및 상기 반도체 기판을 언로딩하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

상기에서, 폴리실리콘 식각 레시피는 30mTorr/300W/50Gauss/5CF4/20NF3/60Ar이다.

발명의 구성 및 작용

이하, 본 발명을 첨부된 도면을 참조하여 상세히 설명하기로 한다.

도 3a 및 도 3b는 본 발명에 따른 반도체 소자의 폴리실리콘층 식각 방법을 설명하기 위한 소자의 단면도이다.

도 3a를 참조하면, 반도체 기판(21)상에 필드 산화막(22)을 형성하여 액티브 영역(active region)을 정의(define)한다. 게이트 산화막 등으로 사용되는 산화막(23)을 형성한 후, 필드 산화막(22)을 포함한 전체 구조상에 폴리실리콘층(24)을 형성한다. 반도체 소자의 전극을 형성하기 위하여, 폴리실리콘층(24)상에 포토레지스트 패턴(25)을 형성한다.

도 3b를 참조하면, 폴리실리콘층(24)이 형성된 반도체 기판(21)을 식각 챔버에 로딩(loading)한 후, 포토레지스트 패턴(25)을 식각 마스크로 한 식각 공정을 실시하여 폴리실리콘층(24)의 노출된 부분을 완전히 식각하고, 이로 인하여 폴리실리콘층 패턴(24a)이 형성된다.

상기에서, 식각 공정은 식각 챔버 내의 압력을 30mTorr로 유지하고, 전력을 300W로 인가하며, 폴리실리콘 잔류물을 최소화하기 위해 50Gauss의 자기장을 사용하고, CF₄ 가스를 5sccm으로 공급하며, NF₃ 가스를 20sccm으로 공급하고, Ar 가스를 60sccm으로 공급하여 실시한다.

이후, 폴리실리콘층 패턴(24a)이 형성된 반도체 기판(21)을 식각 챔버로부터 언로딩(unloading)하고, 포토레지스트 패턴(25)을 제거하여 폴리실리콘층 식각 공정을 완료한다.

상기한 본 발명의 실시예에서는 불특정 쓰루 공정, 주 식각 공정 및 과도 식각 공정 순으로 진행되는 종래의 폴리실리콘 식각 레시피와는 달리 새로운 폴리실리콘 식각 레시피(30mTorr/300W/50Gauss/5CF₄/20NF₃/60Ar)로 한번의 식각 공정에 의해 폴리실리콘 잔류물이 없는 폴리실리콘층 패턴(24a)을 형성하는 기술이다. 본 발명의 폴리실리콘 식각 레시피를 사용한 식각 공정 후에 필드 산화막(22)의 주변과 같이 단차진 부분이나 돌이 있는 부분에 폴리실리콘 잔류물이 발생되지 않는다. 이 와 같은 현상은 본 발명의 폴리실리콘 식각 레시피로 폴리실리콘층을 식각한 후의 필드 산화막 주변 영역의 평면 형(SFM) 사진을 나타낸 도 4에도 잘 나타나 있다.

발명의 효과

상술한 바와 같이, 본 발명은 한번의 식각 공정에 의해 폴리실리콘층을 식각하므로 공정 단계를 줄일 수 있을 뿐만 아니라, 폴리실리콘층 식각 공정 후에 폴리실리콘 잔류물 존재하지 않아 소자의 수율 및 신뢰성을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1

폴리실리콘층이 형성된 반도체 기판을 식각 챔버에 로딩하는 단계;

상기 식각 챔버 내의 압력 및 전력을 일정한 상태로 유지시키면서 자기장을 인가한 상태에서, 식각 소오스 가스를 공급하여 폴리실리콘층을 식각하는 단계; 및

상기 반도체 기판을 언로딩하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 폴리실리콘층 식각 방법;

청구항 2

제 1 항에 있어

상기 식각 챔버 내의 압력은 30mTorr인 것을 특징으로 하는 반도체 소자의 폴리실리콘층 식각 방법;

청구항 3

제 1 항에 있어서,

상기 식각 챔버 내의 전력은 300W인 것을 특징으로 하는 반도체 소자의 폴리실리콘층 식각 방법;

청구항 4

제 1 항에 있어서,

상기 식각 챔버 내의 자기장은 50Gauss인 것을 특징으로 하는 반도체 소자의 폴리실리콘층 식각 방법.

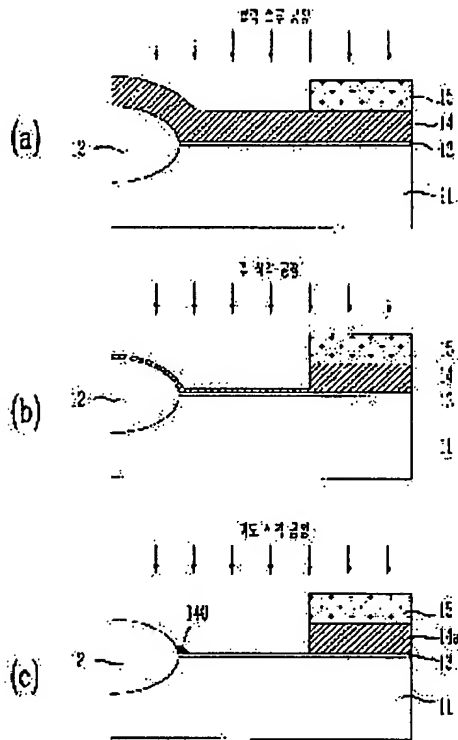
청구항 5

제 1 항에 있어서,

상기 식각 소오스 가스는 CF₄ 가스를 5sccm, NF₃ 가스를 20sccm, Ar 가스를 60sccm으로 공급하는 것을 특징으로 하는 반도체 소자의 폴리실리콘층 식각 방법.

도면

도면1



도면2

